

産業用機器へのCP/M[®]マシンの応用

Application of CP/M[®] based Computer for Industrial Equipment

太田 久義^{*}
Hisayoshi Ota
市原 孝則^{**}
Takanori Ichihara

Our computer system applying CP/M machine which was recently developed has a greater capacity of management, expansion and maintenance compared with a conventional system applying personal computer for industrial use. This newly developed computer system makes a great contribution to the automating and energy saving of our production line. And furthermore, it does a great deal for the quality control of our products. We are pleased to introduce the brief description of this testing unit as follows.

1 まえがき

米国デジタル・リサーチ社により開発されたインテル系8ビット・マイクロコンピュータ用OSであるCP/M^(註)は、従来のミニ・コンピュータ以上の機種に搭載されているOSと比較してその機能が劣るとはいえ、誕生以来ROMベースの小規模な専用コントローラ的応用の域を脱しきれなかったマイクロコンピュータ・システムに大きな衝撃を与えるとともに、マイクロコンピュータをユーザにとってより身近な親しみのあるコンピュータに変貌させる原動力となった。

CP/Mでは、各ユーザのハードウェアに依存する入出力機能部をBIOS (Basic I/O System) という形で分離し、その開発手順が公開されるとともに、OSの中核部分がほぼ完全な形で提供されるため、ユーザは各自の入出力ハードウェア専用BIOSを開発し、CP/Mに変更を加えることにより、容易に自社オリジナルCP/Mマシンを構成することができる。この様な理由により、CP/Mは発表以来その利用者が日増しに増加し、現在では8ビット・マイクロコンピュータ・システムやパーソナル・コンピュータの標準OSとしての揺るぎない地位を確立している。

当社では数年来このCP/Mを自社開発マイクロコンピュータ・システムに搭載し、主にシングルチップ・マイクロコンピュータ応用製品のソフトウェア開発に利用してきたが、今回このCP/Mマシンを、シングルチップマイクロコンピュータ応用製品の実装済プリント基板の生産ライン用多チャンネル自動試験器に応用し好結果を得たので、その概要を報告する。

2 試験器の概要

2.1 被試験体

被試験体は、110×100mm サイズのプリント基板2枚

より成る4ビット・マイクロコンピュータ応用製品のコントローラ基板で、1枚はメカキースイッチ6個及び赤、橙、緑色LEDランプ11個を実装したコントロールパネル基板、他の1枚は4ビット・マイクロコンピュータ、リレー、トライアック、トランジスタ、基準電圧回路、センサ入力回路、電源部等より成る主制御部である。

2.2 試験処理能力

被試験体のタイマ機能チェック等のため、処理プログラムは約3.5分を要するが、5チャンネルの仮想プロセッサによるマルチジョブ方式によって、1台当りの処理時間は約42秒と高速化されている。

2.3 試験項目及びステップ数

試験ステップ数は1チャンネル当り約350ステップであるが、これらを集約して30項目に分類して取扱っている。

以下に試験項目の概要を示す。

- (1) 電源回路チェック
- (2) 4ビットマイクロコンピュータの試験
 - (i) セルフテストプログラムの起動
 - (ii) クロック周波数試験
 - (iii) 入出力ピンの動作試験
 - (iv) センサ入力データ及び演算データの確認
 - (v) センサ・ランク識別機能試験
- (3) 被試験体の総合試験
 - (i) パネルスイッチの動作試験
 - (ii) LEDランプの動作試験
 - (iii) タイマ時限の確認試験
 - (iv) 実装トライアックの動作試験
 - (v) 外部トライアックドライバの動作試験
 - (vi) 模擬センサ切換による各機能シーケンス試験
 - (vii) 電源周波数切替による周波数識別機能試験
 - (viii) センサ回路の断線検出機能試験

2.4 操作機能

各チャンネルの試験開始、ジャンプ、リピート、停止等の機能は、各チャンネル専用の操作ボックスにより完全に独立しており、個別操作可能となっている。(マルチジョブ機能)

2.5 表示機能

各操作ボックス上に、待機中、試験中、良判定、不良判定などのランプ及びブザーを備え、個別表示するとともに、コンピュータ本体部内蔵のCRTディスプレイ上に、各チャンネルの処理内容(試験項目番号及び試験名称)を表示する。

また、不良発生時には、各チャンネルごとにエラーメッセージを表示し、当該チャンネルは作業者が操作ボックスを操作するまで停止する。

2.6 データ管理機能

試験結果は、Bドライブ側に装着したデータ用フロッピディスクに50台分を1ページとした試験成績書フォーマットで記録し、その内容としてはシリアル番号、総合判定結果、各試験項目データ、項目別良否判定結果及び試験チャンネル番号より構成され、最終ページには試験総数、良否数及び項目別試験総数と項目別良否数などが

付加される。なお、不良判定時はそのシリアル番号は自動的に次の良品に割当てられる。

この試験データは必要に応じて各チャンネルの試験処理終了直後に逐次プリンタへ印刷可能であるとともに、試験作業終了後にデータ整理プログラムを起動することにより、良品、不良品データの仕分け及びプリンタへの印刷、良否数の集計が可能である。

2.7 オンライン機能

前記試験データは、RS232C シリアルポートを介して上位コンピュータへオンライン転送可能である。

2.8 プログラム作成及びデバッグ機能

処理プログラムは試験器本体のみで作成及びデバッグ可能であり、完成したプログラムはシステムフロッピディスクに収納され、試験器のブート時にメモリ空間上にロードされて実行される。

3 産業用としてのCP/Mマシンの概要 (ハードウェア)

前述のごとく当社のCP/Mマシンはプログラム開発専用であったため、今回産業用として使用するに当り、図1に示すように構成を拡張した。なお拡張部分を破線で囲んで示した。

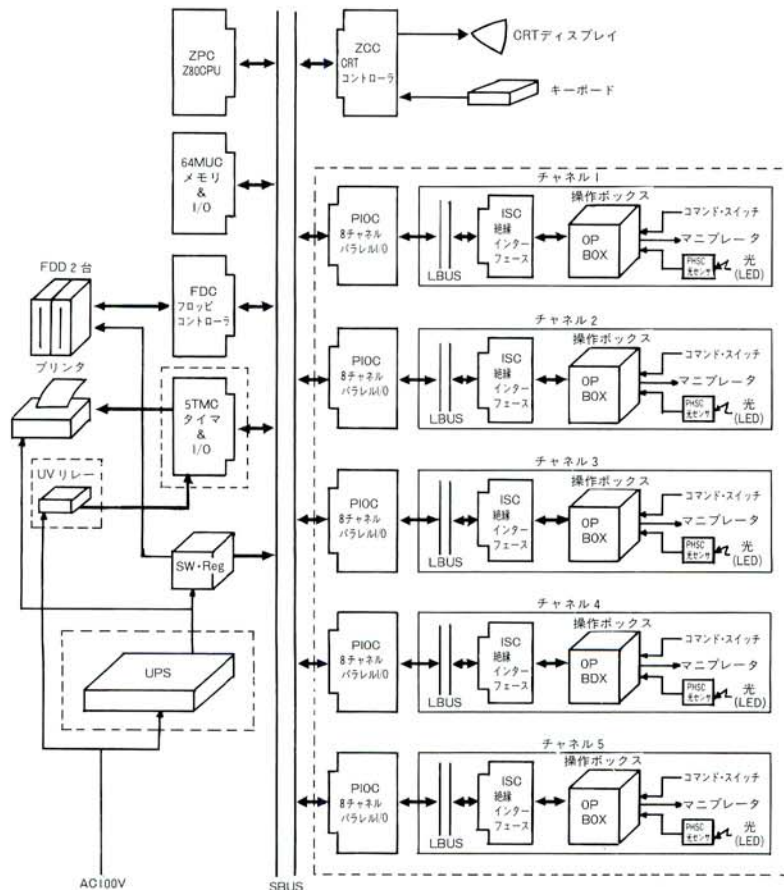


図1 /産業用CP/Mマシンの構成
Fig. 1/Block diagram of industrial CP/M system

3.1 CPUカード(ZPC)

ザイログ系Z80CPUを搭載した中央演算処理カードであり、パワーオンまたはシステムリセット直後に上位アドレスA₁₅~A₁₂に対応する4個のディップスイッチで設定されたアドレスへ自動的にジャンプするオートジャンプ機能を備えている。

なおこのZPCは4MHz動作を標準とするが、6MHzでの動作も可能である。

3.2 64Kバイト・メモリ&I/Oカード(64MUC)

64KビットDRAM及びDRAMコントローラLSIより成る64Kバイト・メモリ部と、各2チャンネルの平行及びシリアルI/Oポート、4チャンネルのプログラマブルタイマより構成される割込み機能を備えたメモリ&I/Oカードで、メモリ部はディップスイッチにより8Kバイト単位で許可、禁止可能であり、また最大8バンクまでのバンク切替処理による最大512Kバイトのメモリ空間をサポート出来るよう構成されている。

なお、I/O部はディップスイッチによりそのベースアドレス及び許可、禁止を自由に設定出来る。

3.3 CRTコントローラカード(ZCC)

Z80BCPUとMC6845Sを使用したスタンドアロンタイプの80カラム、24ライン、モノクロームCRTコントロールカードであり、英数文字、カタカナ、簡易グラフィック用ブロックパターンを備えている。したがって、ZCCにCRTディスプレイ、キーボード及びDC電源を接続すれば、容易にCRTターミナルが構成できる。

3.4 FDCカード(FDC)

WD2793FDDコントローラLSIとシリアルI/O及びCP/M起動用ブートストラップロードROMなどより成るフロッピディスクコントローラカードであり、8"、5"の片面単密度及び両面倍密度のフロッピディスクドライブを最大4台まで接続できる。

なおブートROMはシャドウROM手法によって、システム起動直後にCPUのメモリ領域から自動的に排除される。

3.5 プログラマブルタイマ&I/Oカード(5TMC)

5チャンネルのプログラマブルタイマ及び各2チャンネルの平行、シリアルI/Oを備えたタイマ&I/Oカードであり、Z80のモードII割込をサポートする割込みベクタ発生機能を備えている。

なお、本試験器においては、この5チャンネルタイマ割込みを有効に使用して、マルチジョブ処理を実現している。

3.6 8チャンネル・平行I/Oカード(PIOC)

TTLICによる8チャンネル8ビット双方向平行I/Oカードであり、入出力方向は8ビット単位でソフトウェアまたはディップスイッチにより設定できる。

本試験器においては、各チャンネル当り1枚のPIOCを割当て、その大半を使用している。

3.7 システムBUS(SBUS)

前記カード群を実装する14スロットのマザーボードより成り、産業用に使用することを考慮して、各信号線ラインはすべてストリップライン構造とし、また放熱等を考慮して各スロット間隔を広く設計するとともに、10MHzクラスの16ビットCPUシステムに対応出来るような構成としている。

3.8 ローカル(LBUS)

産業用コンピュータシステムにおいて、各入出力は通常フォトカプラなどで絶縁するケースが多く、本試験器においても同様であるが、システムBUSに実装される機能カードに絶縁機能を取り込んだ場合、外来サージがシステムBUS上あるいは各カードに重畳し、種々の問題を引き起こす恐れがある。

このため本試験器においては、システムBUSから独立した入出力専用ローカルBUSを設け、前記PIOCを介してデータ転送を行っている。

3.9 絶縁インターフェイスカード(ISC)

前記LBUSを介して後述の操作ボックスとのインターフェイスを行うカードであり、LBUS側と入出力端はフォトカプラで完全に絶縁され、出力は最大1Aまでのドライブ能力を有している。

また各信号線ごとに、その状態をモニタするためのLEDランプを備えている。

4 試験器専用ハードウェア

4.1 操作ボックス(OPBOX)

各チャンネルに対する起動、ジャンプ、リポート、停止等、作業員からのすべての命令を受け付けるとともに、試験結果の良否などをパネル上の各ランプ、ブザーなどで作業員に表示する。

また被試験体専用の模擬負荷、模擬センサ及び後述するマニプレータのエアアクチュエータ駆動回路を内蔵しており、CP/Mマシンの指令に基づいて各ジョブの直接的な制御及びデータ転送を担当している。

4.2 光センサユニット(PHSC)

被試験体の実装された11個のLEDランプの点灯状態

を監視し、前記OPBOXにデータ転送するユニットであり、後述するマニプレータのヘッド部に装着されている。

4.3 マニプレータ

このマニプレータ部分は、本試験装置において唯一のメカカルな部分で、作業者に替り被試験体の操作を行いデータを収集する最も重要なユニットである。

このユニットには、メカキースイッチを操作する6本のエアアクチュエータと前記光センサユニットを装着したヘッド部、及びヘッド部を上下移動させるエアアクチュエータと位置センサを備えた本体部、並びに被試験体の位置決め、給電、データ収集のためのジグ部より構成されている。

4.4 作業台

作業台は、前記マニプレータ、操作ボックス、エア供給機器、分電箱及び操作釘を5チャンネル分装置している。

5 その他のハードウェア

5.1 非常電源(UPS)及び停電検出ユニット

試験中に停電事故が発生した場合でも、処理途中のす

べてのジョブが終了し、データの記録、ファイルのクロージングが完了するまでシステム電源を保持する必要がある、この目的で本試験器はUPSを備えている。

5.2 スイッチング電源

CP/Mマシンのシステム用電源としてDC 5 V、DC±12V及びフロッピディスクドライブ用電源を装備している。

6 ソフトウェアの概要

試験器を構成するソフトウェアは、CP/M本体と試験プログラム及びデータ整理プログラムなどにより構成され、試験プログラムは更に、初期設定プログラム、マルチジョブモニタ、5個の仮想プロセッサ、データ編集プロセッサ、データ出力プロセッサの計9ユニットに区分されており、CP/Mを含む計10個の論理プロセッサは階層構造をなしている。

これら全プログラムは、A側ディスクドライブに装着されたシステムディスクから、Z80CPUの64KバイトのRAM領域にロードされ、実行される。

ソフトウェアの階層構造を図2に示す。

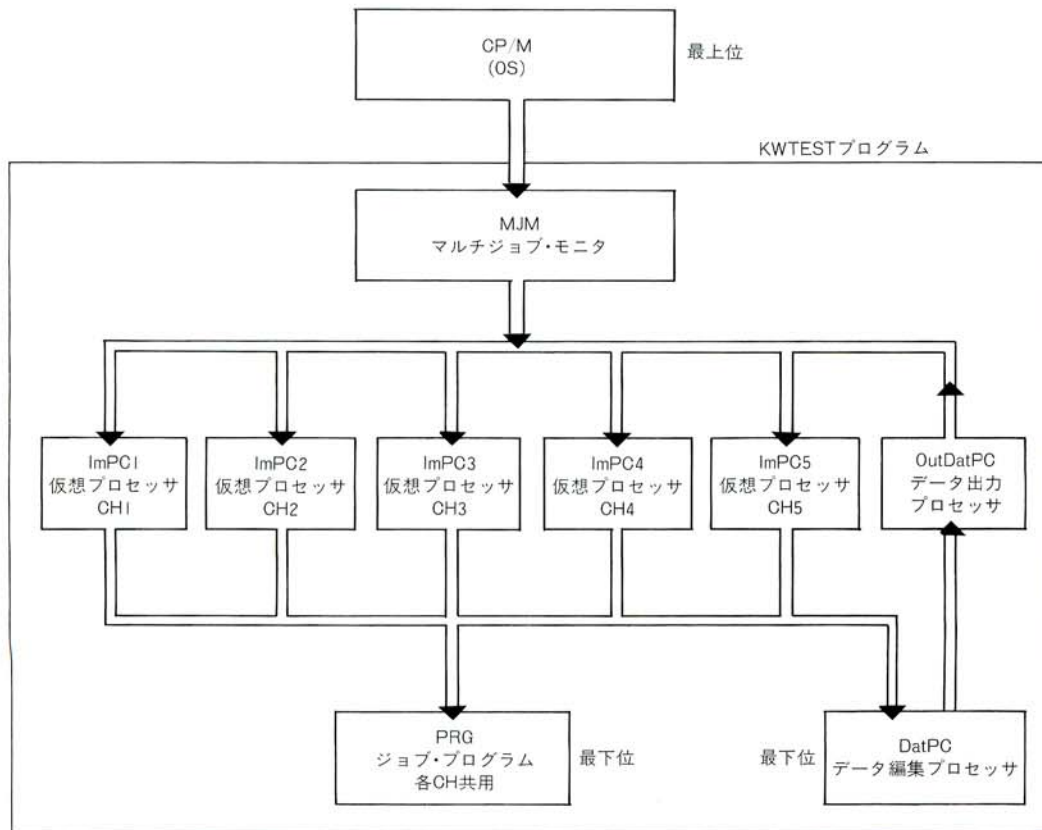


図2/ソフトウェアの階層構造

Fig. 2/Hierarchy of software

6.1 CP/Mオペレーティングシステム(CP/M)

CP/Mは、パワーオンまたはシステムリセット直後に、前記FDDカード上のROMに収納されたブートストラップ・ローダ・プログラムによりRAM上にロードされ、以後パワーオフまたはシステムリセットまでRAM上に常駐し、試験プログラムまたはデータ整理プログラム及びデータファイル、CRTディスプレイ、キーボード、プリンタなどを管理する。

6.2 初期設定プログラム(KWINIT)

KWINITは、CP/Mがロードされ起動した後、CP/MシステムのTPAエリア^(注)にロードされ、最初に試験年月日、シリアル番号、センサのランク等、前回の試験条件から予想される今回の試験条件をCRTディスプレイにカタカナ表示し、その後作業者の回答により、今回の試験条件を会話形式で設定する。

次に、B側ディスクドライブに装着させたデータディスクの使用状態をチェックし、1日分のデータ空きエリアが存在しない場合は、CRTディスプレイにその旨表示し、空ディスクとの交換を要求する。

上記条件がすべて満足されると、最後にもう一度前記試験条件をCRTディスプレイに表示し、作業者が再確認を行った後、後述する試験プログラム本体をオーバーレイして、実行権を明け渡す。

6.3 試験プログラム本体(KWTEST)

KWTESTは以下に示す9個のユニットにより構成されている。

(1) マルチジョブ・モニタ(MJM)

MJMは、CP/Mの管理下でマルチジョブ処理を行うためのリアルタイム・モニタであり、7レベルのタイマ割込によって、下記7個のジョブプロセッサの動作状況を監視し、必要に応じてCP/Mのシステムコール機能の呼び出しや、CP/Mへの権利の受渡しを行う。

(2) 仮想プロセッサ(ImPC 1～5)

ImPC 1～5は、各チャンネルの試験作業を直接担当する論理上の仮想プロセッサであり、プログラムカウンタ、スタックポインタ、スタックエリア、AF～HLのベアレジスタ、入出力ポート参照テーブル、ワークエリア及びデータバッファを備えている。

(3) ジョブ・プログラム(PRG)

PRGは、前記ImPC 1～5によって実行される実質的な試験プログラムであり、各チャンネルを担当するImPCは、このPRGに記載された試験及び判定規準にしたがって試験を行う。

このPRGは1チャンネル分のプログラムであるが、ImPC 1～5が互いにPRGを共有使用するため、5チャンネル分のプログラムとして機能している。

PRGは、生産ラインでの保守・改良を容易にする目的で、名前付けされた各ルーチンによりモジュール化されている。

このため、プログラマはこのモジュール名及びモジュールに与えるパラメータを簡易言語として取扱うことにより、プログラム作成作業を容易に行うことができる。

(4) データ編集プロセッサ(DatPC)

DatPCは、前記仮想プロセッサImPC 1～5より引渡される各チャンネルの試験結果を試験成績書フォーマットに編集し、後述のデータ出力プロセッサに編集済データ群を引き渡す。

(5) データ出力プロセッサ(OutDatPC)

OutDatPCは、前記編集済データ群を管理し、50台分の試験データが蓄積されるごとに前記マルチジョブ・モニタ(MJM)にその旨連絡し、MJMを介してCP/Mシステムコールを利用し、B側ディスクドライブに装着されたデータディスクへの記録を行う。

また、前記初期設定プログラム(KWINIT)によって逐次プリントモードに設定されている場合は、各チャンネルの試験終了ごとにMJMを介してプリンタへの逐次印刷を行う。

6.4 データ処理プログラム(KWLST)

KWLSTは、前記5-2項の試験プログラムとは完全に独立したデータ整理及びプリンタ制御プログラムであり、CP/MによってTPAエリアにオーバーレイ・ロードされて実行される。

KWLSTは、最初にB側ディスクドライブに装着されたデータディスク内のデータファイル一覧表をCRTディスプレイに表示し、作業者に対してプリンタに印刷するファイル名及び良品、不良品、全品の各整理モードを会話形式で尋ねた後、作業者の回答にしたがって単一または複数のデータファイルから試験データを読み出し、各モードに整理した後、プリンタへの印刷を行う。

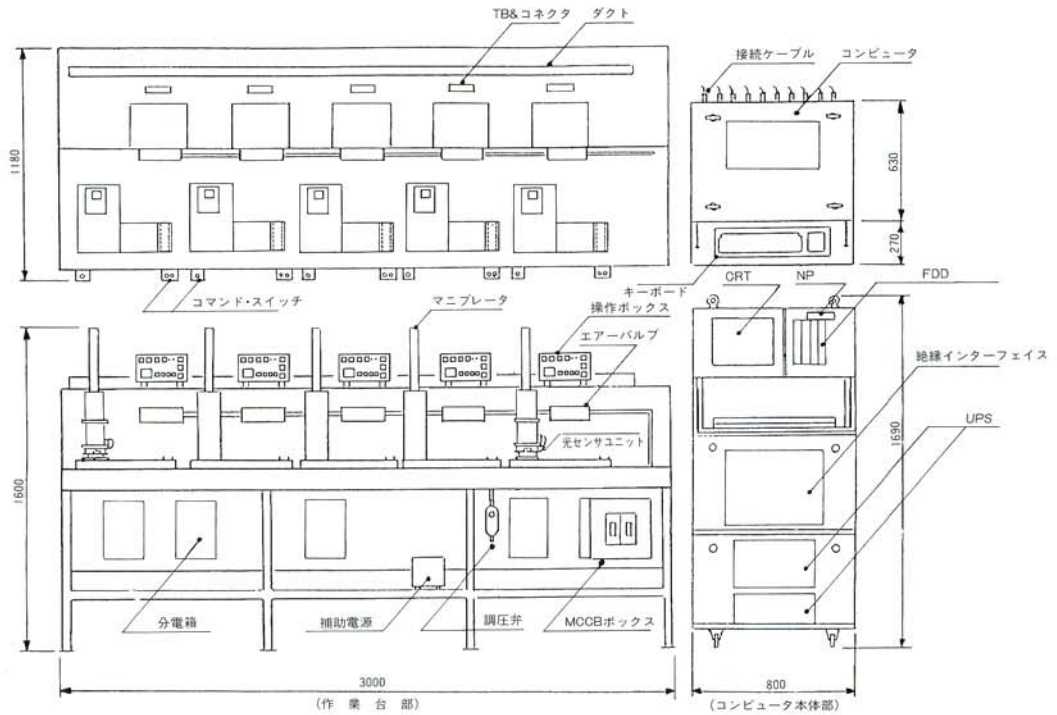


図3/外観図
Fig. 3/Appearance

7 試験器の外観

本試験器は、図3に示す如くコンピュータ本体部と作業台部の2ユニットにより構成されている。

7.1 コンピュータ本体部

コンピュータ本体部は、前記2～5項の内、操作ボックス、マニプレータ、エアー関連ユニット、プリンタ及び作業台を除くすべてのハードウェア、ソフトウェアにより構成され、防塵構造となっている。

キーボード、フロッピディスク・ドライブは外扉付の収納形であり、通常は収納状態で使用する。

コンピュータ本体部の外観を図4に示す。

7.2 作業台部

作業台部は、操作ボックス、マニプレータ、エアー関連ユニット5チャンネルと、分電箱、ハーネス、及び作業台より構成されている。

作業台部及び操作ボックス、マニプレータの外観を図5～7に示す。

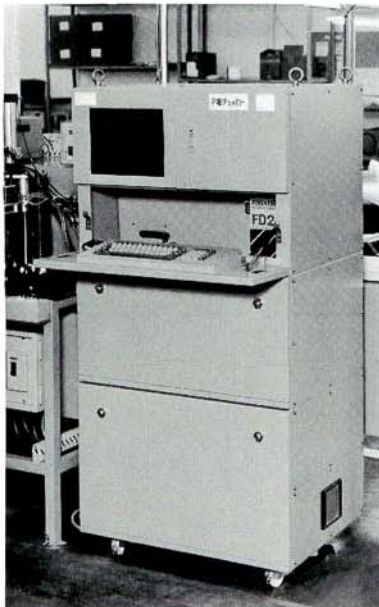


図4/コンピュータ本体部
Fig. 4/Main computer

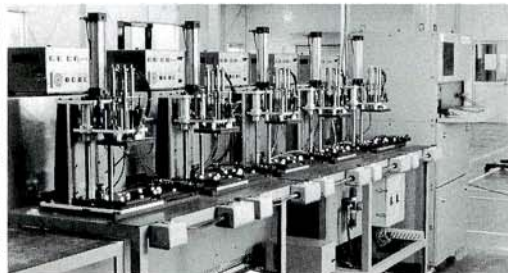


図5/作業台部
Fig. 5/Work table

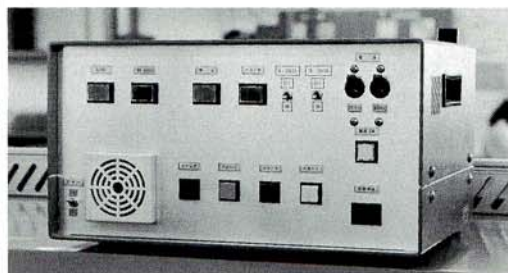


図6/操作ボックス
Fig. 6/Operation box

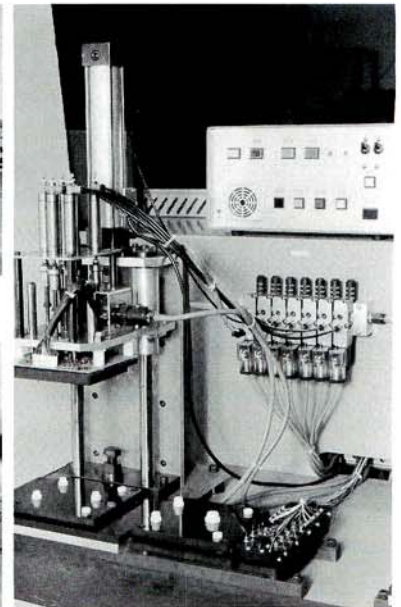


図7/マニプレータ
Fig. 7/Manipulator

8 試験器動作のフローチャート

本試験器の動作フローチャート概要を図8に示す。

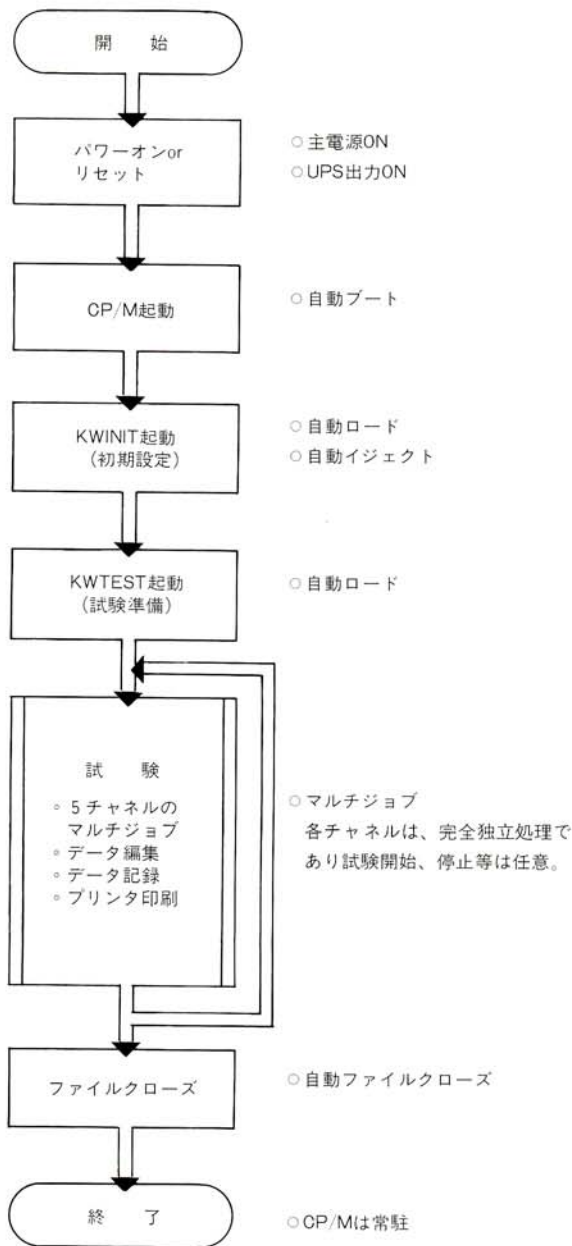


図8 / 試験器動作のフローチャート

Fig. 8 / General flow of tester mode operation

9 あとがき

以上の如く、今回製作した試験器は、8ビットマイクロコンピュータ用汎用OSであるCP/Mの持つファイル及びCRTターミナル、プリンタ等の管理機能を有効利用するとともに、CP/Mがサポートしないマルチジョブ管理機能を、COMファイル^(注)の形でシステムディスク上に格納したマルチジョブモニタ(MJM)および5チャンネルの仮想プロセッサImPC1~5を含む試験プログラム本体(KWTEST)により実現し、簡易言語化したジョブ・プログラム(PRG)をImPC1~5が共有することにより単一プログラムで5チャンネルのマルチジョブ化を達成したため、従来のパーソナルコンピュータを応用して構成していた簡易産業用システムに比べて数倍の処理能力、拡張性及びメンテナンス性を発揮し、当社生産ラインの自動化、省力化及び製品の品質化に大きく貢献している。

最後に、本試験器の製作に全面的なご協力をいただいた機器事業部及びシステム開発本部の関係各位に対し、厚く御礼を申し上げます。